

**BEST AVAILABLE COPY**

CLIPPEDIMAGE= JP406318590A

PAT-NO: JP406318590A

DOCUMENT-IDENTIFIER: JP 06318590 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: November 15, 1994

INVENTOR-INFORMATION:

NAME

HIRAKI, MITSUMASA

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP05107805

APPL-DATE: May 10, 1993

INT-CL (IPC): H01L021/3205;H01L021/304 ;H01L021/203

ABSTRACT:

PURPOSE: To prevent excessive grinding and discontinuity when the surface of a metal film buried in a wide trench is polished by a chemical and mechanical polishing method, and a buried wiring is formed.

CONSTITUTION: When a trench 5 for forming a wiring or an aperture part 4 for forming a bonding pad are formed by patterning a BPSG film, pillar

type insulating films 6 which are left and arranged inside the trench 5 and the aperture part 4 by patterning are formed. Thereby excessive grinding of an AISiCu film 7 buried in the trench 5 and an aperture part 4 by a chemical and mechanical polishing is prevented.

COPYRIGHT: (C)1994,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-318590

(43)公開日 平成6年(1994)11月15日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/3205 21/304	3 2 1 S	8832-4M		
// H 01 L 21/203	S	8122-4M 7514-4M	H 01 L 21/ 88	K

審査請求 有 請求項の数 2 OL (全 3 頁)

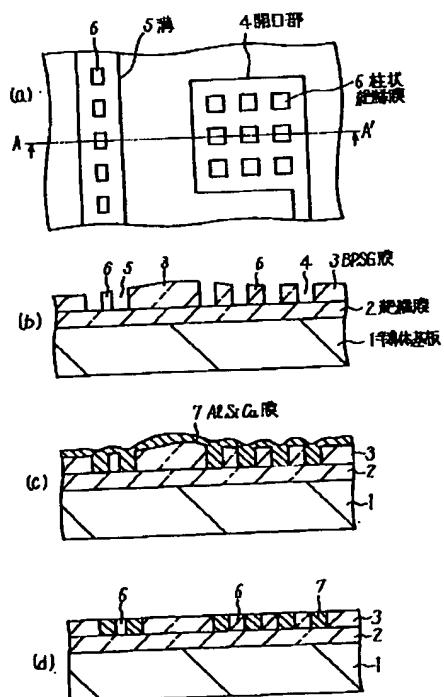
(21)出願番号	特願平5-107805	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成5年(1993)5月10日	(72)発明者 平木 光政 東京都港区芝五丁目7番1号日本電気株式 会社内
		(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】幅の広い溝に充填した金属膜の表面を化学機械研磨法で研磨し埋込配線を形成する際の過剰研削を防ぎ断線を防止する。

【構成】BPSG膜をバーニングして配線形成用の溝5やポンディングパッド形成用の開口部4を形成する際にその内側にバーニングにより残して配列した柱状絶縁膜6を設けることにより溝5や開口部4に充填したAlSiCu膜7の化学機械研磨による過剰研削を防止する。



## 【特許請求の範囲】

【請求項1】 半導体基板上に設けた第1の絶縁膜の上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜を選択的にエッチングして内部に柱状又はスリット状にバーニングされた前記第2の絶縁膜を配列して残した格子状の配線形成用溝を形成する工程と、前記溝を含む表面に金属膜を堆積して前記溝内を充填する工程と、前記金属膜および第2の絶縁膜の上面を化学機械研磨法により研磨して前記溝内に前記金属膜を埋込んで上面を平坦化し埋込配線を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 金属膜を高温スパッタ法又はスパッタリフロー法により堆積する請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に埋込み配線を有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 半導体装置の製造方法の一つとして化学機械研磨法による表面平坦化技術がセミコンダクター・テクノロジ・シンポジウム・プロシーディング (Semiconductor Technology Symposium Proceeding) 1991年、第296頁又はプロシーディング・ブイ・エル・エス・アイ・マルチレベル・インターフェクト・カンファレンス (Proceeding VLSI Multilevel Interconnect Conference) 1991年、第57頁に記載されている。

【0003】 図4(a)～(d)は従来の半導体装置の製造方法を説明するための工程順に示した半導体チップの平面図およびB-B'線断面図である。

【0004】 まず、図4(a), (b)に示すように、半導体基板1の上に形成した絶縁膜2の上にBPSG (Boro-Phospho-Silicate Glass) 膜3を0.7μmの厚さに成膜してバーニングし、ボンディングパッド形成用の開口部4および配線形成用の溝5を形成する。

【0005】 次に、図4(c)に示すように、開口部4および溝5を含む表面に高温スパッタ法によりSiおよびCuを含むAl1膜(以下AlSiCu膜と記す)7を1μmの厚さに堆積して開口部4および溝5内に充填する。

【0006】 次に、図4(d)に示すように、AlSiCu膜7およびBPSG膜3の上部を化学機械研磨法でBPSG膜3の厚さが0.5μm程度の厚さになるまで研磨した後、全面にプラズマCVD法により窒化シリコン膜8を1.5μmの厚さに堆積してバーニングし、ボンディングパッド部9および埋込配線10を形成す

る。

## 【0007】

【発明が解決しようとする課題】 この従来の半導体装置の製造方法では、幅の広い配線やボンディングパッド部のように広い面積の開口部に充填された金属膜が化学機械研磨による溝や開口部の中央部で過剰に研削されて薄くなったり、あるいは消失したりして配線の断線やボンディングパッドとボンディング線との接合が不完全になったり、最悪の場合には接合できないという問題があつた。

## 【0008】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体基板上に設けた第1の絶縁膜の上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜を選択的にエッチングして内部に柱状又はスリット状にバーニングされた前記第2の絶縁膜を配列して残した格子状の配線形成用溝を形成する工程と、前記溝を含む表面に金属膜を堆積して前記溝内を充填する工程と、前記金属膜および第2の絶縁膜の上面を化学機械研磨法により研磨して前記溝内に前記金属膜を埋込んで上面を平坦化し埋込配線を形成する工程とを含んで構成される。

## 【0009】

【実施例】 次に、本発明について図面を参照して説明する。

【0010】 図1(a)～(d)および図2(a), (b)は本発明の第1の実施例を説明するための工程順に示した半導体チップの平面図およびA-A'線断面図である。

【0011】 まず、図1(a), (b)に示すように、半導体基板1の上に形成した絶縁膜2の上にBPSG膜3を0.7μmの厚さに形成してバーニングし、内部に柱状(又はスリット状)絶縁膜6を配列して残したボンディングパッド形成用の開口部4および配線形成用の溝5のそれぞれを形成する。

【0012】 次に、図1(c)に示すように、開口部4および溝5を含む表面に高温スパッタ法又はスパッタリフロー法によりAlSiCu膜7を堆積して開口部4および溝5内に充填する。

【0013】 次に、図1(d)に示すように、化学機械研磨法を用いてAlSiCu膜7およびBPSG膜3の上面を研磨し、BPSG膜3の厚さが0.5μm程度になるように研磨して開口部4および溝5内にAlSiCu膜7を埋込み表面を平坦化する。

【0014】 次に、図2(a)に示すように、全面にプラズマCVD法により保護膜として窒化シリコン膜8を1.5μmの厚さに堆積する。

【0015】 次に、図2(b)に示すように、窒化シリコン膜8を選択的にエッチングしてボンディングパッド部9および埋込配線10を形成する。

【0016】 このように、開口面積の広いパッド形成用

3

開口部や配線形成用溝内に予め柱状（又はスリット状）絶縁膜を設けて開口部を細分化することにより化学機械研磨による過剰な研削を防止することができる。

【0017】図3は本発明の第2の実施例を説明するための半導体チップの断面図である。

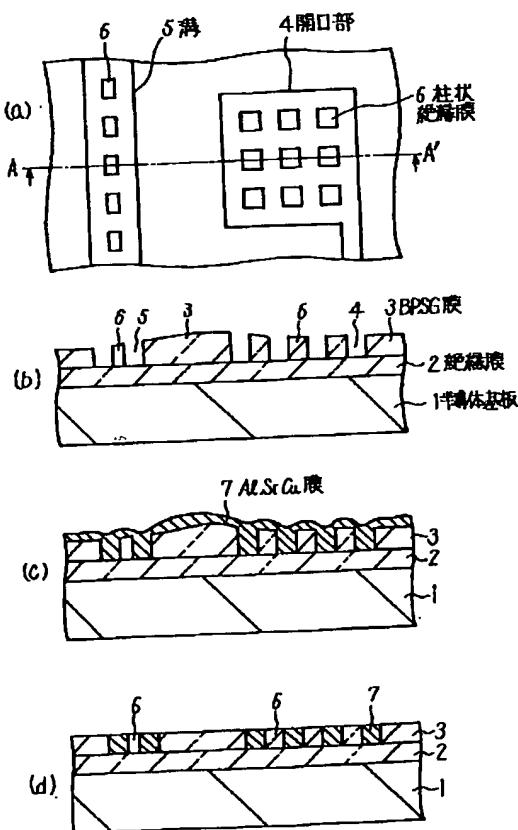
【0018】図3に示すように、窒化シリコン膜8を開口してポンディングパッド部9を形成した後、更に、バッファードフッ酸を用いBPSG膜3の表面を0.05  $\mu\text{m}$ 程度エッティングしてAlSiCu膜7の上端を突出させることにより、ポンディングパッド部とポンディング線との接合面積を増大させることができ、ポンディング線の接合強度を向上させる。

【0019】

【発明の効果】以上説明したように本発明は、少くとも幅の広い埋込配線形成用に形成した溝内に柱状の絶縁膜を配列して設け溝のパターンを細分化することにより、溝内に充填した配線用金属膜の上面を化学機械研磨して平坦化する際の過剰な研削を抑えて配線の断線やポンディングパッドとポンディング線との接合不良を防止し、信頼性を向上させるという効果を有する。

【図面の簡単な説明】

【図1】



【図1】本発明の第1の実施例を説明するための工程順に示した半導体チップの平面図およびA-A'線断面図。

【図2】本発明の第1の実施例を説明するための工程順に示した半導体チップの平面図およびA-A'線断面図。

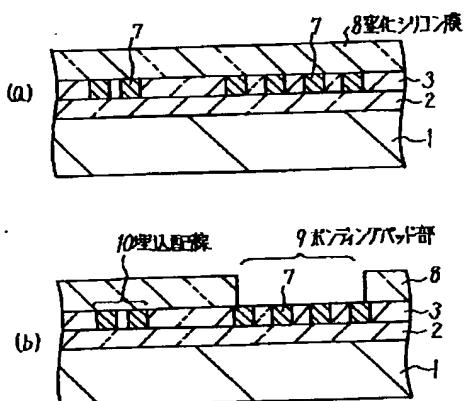
【図3】従来の半導体装置の製造方法を説明するための工程順に示した半導体チップの平面図およびB-B'線断面図。

10 【符号の説明】

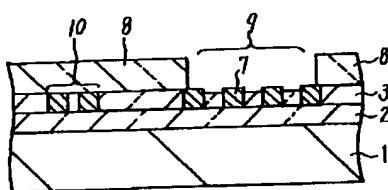
1	半導体基板
2	絶縁膜
3	BPSG膜
4	開口部
5	溝
6	柱状絶縁膜
7	AlSiCu膜
8	窒化シリコン膜
9	ポンディングパッド部

20 10 埋込配線

【図2】



【図3】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**